

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-076495

(43)Date of publication of application : 18.03.1994

(51)Int.Cl. G11B 20/18
G11B 7/00
G11B 20/12

(21)Application number : 04-254001

(71)Applicant : RICOH CO LTD

(22)Date of filing : 28.08.1992

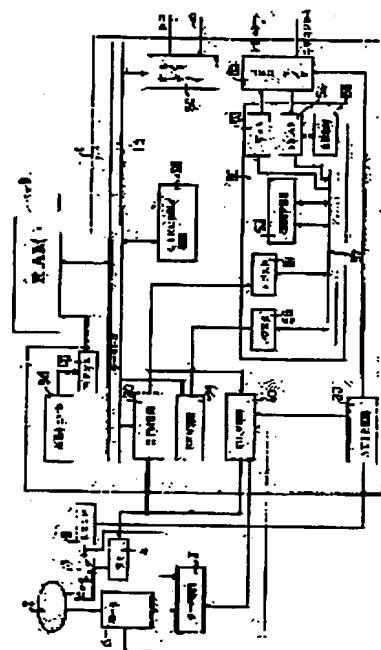
(72)Inventor : YOSHIYAMA YASUSHI

(54) COMPACT DISK RECORDER AND REPRODUCER

(57)Abstract:

PURPOSE: To facilitate an address generating circuit and to enable making the postscript of data or rewriting data in a short time by permitting the capacitance of RAM where data is temporarily stored for CIRC-demodulating at the time of reproducing to become larger than least required quantity indicated in a red book.

CONSTITUTION: The record of an optical disk 2, which is read by a pickup 3, is inputted to a semiconductor integrated circuit 1 with an RF circuit 4, EFM demodulation and CIRC demodulation are executed in the circuit 1 and reproduced audio digital data is outputted. Writing data(audio digital data) is given to the circuit 1 from an outside, an EMF signal reproduced in the circuit 1 is inputted to the pickup 3 with the circuit 4 and a corresponding laser optical signal is outputted so as to be recorded in the optical disk 2. An EFM demodulating circuit 20 demodulates the EFM signal read from the disk 2 in accordance with a conversion table and temporarily stores it in RAM 8 with a data bus 10. The capacitance of RAM 8 is adopted as UK byte being twice as big as 2K byte which is least required in the red book.



LEGAL STATUS

[Date of request for examination] 26.07.1999

[Date of sending the examiner's decision of rejection] 13.11.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2001-22304

[Date of requesting appeal against examiner's decision of rejection] 13.12.2001

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-76495

(43)公開日 平成6年(1994)3月18日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 20/18	1 0 2	9074-5D		
7/00	Q	9195-5D		
20/12	1 0 2	9295-5D		

審査請求 未請求 請求項の数4(全 23 頁)

(21)出願番号 特願平4-254001

(22)出願日 平成4年(1992)8月28日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 吉山 恭嗣

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

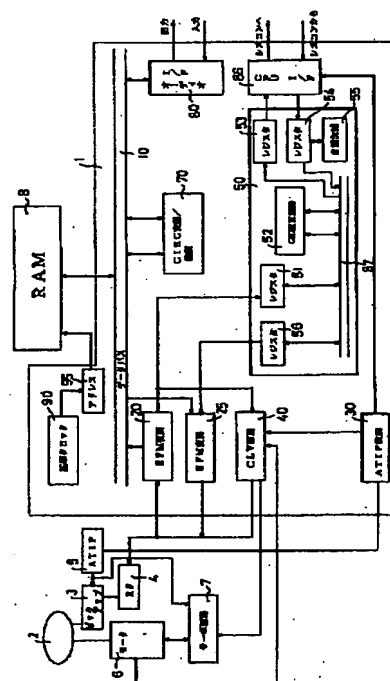
(74)代理人 弁理士 鳥居 洋

(54)【発明の名称】 コンパクトディスク記録再生装置

(57)【要約】

【目的】 この発明は、追記型あるいは書替え型コンパクトディスクの記録の再生ができるとともに、使用者の操作に基づいて使用者の目前で、当該機器のみで短時間にデータの追記或いは書替えができるようにしたコンパクトディスク記録再生装置を提供することを目的とする。

【構成】 EFM復調回路20、CIRC変調／復調回路70、インタフェース回路80、EFM変調回路25とを備える半導体集積回路1と、CIRC処理用のRAM8とを備え、RAMの容量を4KByteにして再生時と記録とにこのRAM8を共用する。



【特許請求の範囲】

【請求項1】 光ディスクから読み出されたEFM信号を復調するEFM復調回路、光ディスクから読み出され、EFM復調されたデータのCIRC信号の誤りを検出して訂正するCIRC復調回路、CIRC復調されたデータを外部に出力するとともに、外部から書き込みデータを入力するオーディオインタフェース、オーディオインタフェースに入力された書き込みデータにCIRC誤り訂正符号を付加するCIRC変調回路、CIRC変調され光ディスクへ書き込む書き込みデータを変調するEFM変調回路とを備える半導体集積回路と、CIRC復調のためEFM復調されたデータを一時的に格納するRAMとを備えるコンパクトディスク記録再生装置において、上記RAMの容量を”レッドブック(Red Book)”に示される最低必要量よりも大きくすることにより、該RAMを記録時に外部から入力される書き込みデータをCIRC誤り訂正符号を付加するために一時的に格納するRAMに共用することを特徴とするコンパクトディスク記録再生装置。

【請求項2】 記録時にRAMから入力したデータにCIRC誤り訂正符号を付加してから該RAMに書き込むCIRC変調回路に、記録前にデータとして”0”を与える手段を設けることを特徴とする請求項1に記載のコンパクトディスク記録再生装置。

【請求項3】 記録動作に入る前に光ディスクの回転状態やピックアップ位置をATIPデータに加えてQサブコードに基づいて検出する手段を備えることを特徴とする請求項1に記載のコンパクトディスク記録再生装置。

【請求項4】 記録時のミストラッキング時に、RAMからCIRC処理済のデータを読みだしてEFM変調して出力するEFM変調回路の出力を停止させる記録中止手段を設けたことを特徴とする請求項1に記載のコンパクトディスク記録再生方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、コンパクトディスク記録再生装置に関する。

【0002】

【従来の技術】 最近、大容量記録メディアとして光ディスク、光磁気ディスク等のコンパクトディスクが注目を集めている。

【0003】 コンパクトディスクは、コンピュータのデータ、静止画、グラフィックス等を記録したCD-ROMと、オーディオ用のCD-DAとに大別されているが、何れもコンパクトディスクメーカで予めデータを書き込んだ読み出し専用のROM(Read Only memory)として市販されている。

【0004】 また、コンパクトディスクの記録を再生するため、デコーダ再生装置が市販されているが、いずれも再生専用機であり、書き込み用回路については何ら対

応がなされていない。

【0005】 しかし、最近、コンパクトディスク規格を満足する追記型コンパクトディスク(CD-WO: Compact Disc Write Once)や書き替え型コンパクトディスク(CD-R: Compact Disc Rewritable)が提案され、これらのディスクに記録再生を行うフォーマットを制定した、いわゆる、オレンジブック標準が提案されている。

【0006】

【発明が解決しようとする課題】 しかしながら、これら追記型あるいは書き替え型コンパクトディスクへのデータの記録は、従来通りコンパクトディスクメーカの記録専用機を用いるか、高価なコンピュータ装置に組み合わされた記録再生装置に頼っており、テープレコーダのように使用者の操作に基づいて使用者の目前で、当該機器のみで短時間にデータの記録あるいは書き替えができる装置は未だに実現されていない。

【0007】 本発明は、追記型あるいは書き替え型コンパクトディスク用の、いわゆる、オレンジブック標準に準拠して、追記型あるいは書き替え型コンパクトディスクの記録の再生ができるとともに、使用者の操作に基づいて使用者の目前で、当該機器のみで短時間にデータの追記あるいは書き替えができるようにしたコンパクトディスク記録再生装置を提供することを目的とする。

【0008】

【課題を解決するための手段】 本発明の第1のコンパクトディスク記録再生装置は、光ディスクから読み出されたEFM信号を復調するEFM復調回路、光ディスクから読み出され、EFM復調されたデータのCIRC信号の誤りを検出して訂正するCIRC復調回路、CIRC復調されたデータを外部に出力するとともに、外部から書き込みデータを入力するオーディオインタフェース、オーディオインタフェースに入力された書き込みデータにCIRC誤り訂正符号を付加するCIRC変調回路、CIRC変調され光ディスクへ書き込む書き込みデータを変調するEFM変調回路とを備える半導体集積回路と、CIRC復調のためEFM復調されたデータを一時的に格納するRAMとを備えるコンパクトディスク記録再生装置において、上記の目的を達成するため、次のような手段を講じている。すなわち、上記RAMの容量を”Red Book”に示される最低必要量よりも大きくすることにより、該RAMを記録時に外部から入力される書き込みデータをCIRC誤り訂正符号を付加するために一時的に格納するRAMに共用することを特徴とする。

【0009】 本発明の第2のコンパクトディスク記録再生装置は、上記第1のコンパクトディスク装置において、更に、書き込みデータを書き始めから正しく書き込めるようにするため、記録時にRAMから入力したデータにCIRC誤り訂正符号を付加してから該RAMに書き込

むCIRC変調回路に、記録前にデータとして"0"を与える手段を設けることを特徴とする。

【0010】本発明の第3のコンパクトディスク記録再生装置は、上記第1のコンパクトディスク記録再生装置において、記録動作に入る準備期間内でピックアップの位置決め精度を高めるため、記録動作に入る前に光ディスクの回転状態やピックアップ位置をATIPデータに加えてQサブコードに基づいて検出する手段を備えることを特徴とする。

【0011】本発明の第4のコンパクトディスク記録再生装置は、上記第1のコンパクトディスク記録再生装置において、記録中にミストラッキングが発生した時に既に光ディスクに書き込まれたデータが破壊されることを防止するため、記録時のミストラッキング時に、RAMからCIRC処理済のデータを読みだしてEFM変調して出力するEFM変調回路の出力を停止させる手段を設けたことを特徴とする。

【0012】

【作用】本発明の第1のコンパクトディスク記録再生装置によれば、再生時のCIRC復調のためにデータを一時的に格納するRAMの容量を"Red Book"に示される最低必要量、すなわち、2KByteの例えば2倍の4KByteに大きくすることにより、アドレス発生回路を簡易化でき、例えばこのアドレス発生回路を半導体集積回路内に形成する場合に半導体集積回路のチップ面積の小型化を図ることができる。

【0013】本発明の第2のコンパクトディスク記録再生装置においては、CIRC変調回路に"0"を与えることにより、RAMの中のデータ格納領域には"0"が書き込まれる。また、データ"0"に対するCIRC演算結果は、全パリティが"0"となるので、パリティ格納領域も"0"となる。これにより、追記用CIRC演算動作を利用して使用するRAM領域をクリヤすることができ、別途にRAM領域をクリヤ回路を設ける必要がなくなる。

【0014】本発明の第3のコンパクトディスクにおいては、追記準備期間にATIPを用いてディスクの回転制御やピックアップの位置決めを行っているが、EFMビットのある領域ではQサブコードを読みだすことができる。このQサブコードとATIPとの両方によってディスクの回転制御やピックアップの位置決めを行うことにより、ディスクの回転制御やピックアップの位置決めを精度を高めることができる。

【0015】本発明の第4のコンパクトディスク記録再生装置においては、追記期間中にミストラッキングが発生すると、EFM変調回路のEFM出力を例えばGNDに落とすことにより停止させるので、レーザの光ディスクへの照射が停止され、既存の記録箇所誤ってレーザ光が照射されることが防止される。

【0016】

【実施例】本発明の一実施例を図面にに基づき具体的に説明すれば、以下の通りである。

【0017】図1のブロック図に示すように、このコンパクトディスク記録再生装置は、ピックアップ3で読みだした光ディスク2の記録をRF回路4を介して半導体集積回路1に入力し、半導体集積回路1内でEFM復調及びCIRC復調して再生されたオーディオデジタルデータを出し、また、外部から書き込みデータ（オーディオデジタルデータ）を半導体集積回路1に与え、半導体集積回路1内でCIRC変調及びEFM変調したEFM信号をRF回路4を介してピックアップ3に出力し、ピックアップ3からEFM信号に対応するレーザ光信号を出力して光ディスク2記録するようにしている。

【0018】半導体集積回路1には、データバス10、EFM復調回路20、EFM変調回路25、ATIP復調回路30、CLV制御回路40、サブコード生成/演算回路50、CIRC変調/復調回路70、インターフェース回路80、システムコントローラ用インターフェース85などが組み込まれている。

【0019】上記EFM復調回路20は、光ディスク2から読み出された14ビットのEFM(Eight to Fourteen Modulation)変調されたEFM信号を変換テーブルに従って8ビットのデータに復調し、データバス10に送出する。

【0020】データバス10に送出されたデータは、基準クロック回路90に基づいてアドレス発生回路95から出力されるアドレスでアドレス指定されてRAM8にCIRC復調をするため、一時的に格納される。

【0021】RAM8には、CIRC(クロス・インターリーブド・リード・ソロモン)信号の誤りの検出及び訂正(CIRC復調)のために一時的にEFM復調されたデータを格納するエリアが設けられ、このエリアは、"Red Book"で最低必要とされる2KByteの2倍の4KByteの容量を備える。

【0022】アドレス発生回路95では図30(a)に示すように光ディスク2から読み出され、EFM復調されたデータを順にアドレスマップの下位アドレスの方向(左から右)のアドレスを発生し、1回読み出すごとに上位アドレスをA、B、Cというようにシフトさせて行く。

【0023】このRAM8に一時的に格納されたデータはCIRC変調/復調回路70に読みだされ、CIRC信号の誤りを検出され訂正されて再度RAM8に書き込まれた後、インターフェース回路80に転送されて、外部にオーディオデジタル信号として出力される。

【0024】RAM8からCIRC変調/復調回路70にデータを読み出す時には、図30(b)に示すように、アドレスマップの左上から右下方に斜めに並ぶアドレスの順に読み出し、1回読み出すごとに右方向にA'、B'、C'というようにシフトさせて行く。

【0025】したがって、図30(c)のハッチングを施した部分で示す、以前の信号処理に用いた2KByteの領域は、今回の読み出しが始まるCの時点では使用しない記憶不要領域となる。

【0026】記録時には、外部からインターフェース回路80に入力されたデータ（オーディオデジタル信号）をRAM8に一旦格納するが、その前に、該データを書き始めから正しく書き込むために、再生から記録に移るまでの間に追記準備期間を設定し、この追記準備期間にCIRC変調／復調回路70の通常の動作を利用して以前の再生時から残されているデータを消去するようにしている。

【0027】すなわち、追記準備期間に例えばシスコンからCIRC変調／復調回路70にデータとして“0”を入力すると、図31に示すRAM8のデータ格納領域には“0”が書き込まれ、また、このデータ“0”に対するCIRC演算を行うと全パリティが“0”となるので、動ずに示すRAM8のQパリティ格納領域及びPパリティ格納領域も“0”となる。CIRCのインターリーブの深さは108EFMフレームであるので、それ以上この手順を行うことにより、RAM8のデータを消去するための別回路を設けずに済み、半導体集積回路1のチップ面積を低減することができる。

【0028】外部からRAM8に一旦格納したデータは、CIRC変調／復調回路70に読み出され、CIRC変調／復調回路70でCIRC誤り訂正符にを付加された後、光ディスク2に記録するEFM信号に変調するため、再びRAM8に一時的に格納される。

【0029】このRAM8へのデータの一次的な格納においては、アドレス発生回路95では図32(a)に示すように光ディスク2から読み出したデータを順にアドレスマップの下位アドレスの方向（左から右）にアドレスを与えて格納するアドレスを発生し、1回処理するごとに上位アドレスをA、B、Cというようにシフトさせて行く。

【0030】そして、EFM変調回路25に読み出す時には、図32(b)に示すように、アドレスマップの右上から左下方向に斜めに並ぶアドレスの順に読み出し、1回読み出すごとに左方向にA'、B'、C'というようにシフトさせて行く。したがって、図32(c)のハッチングを施した部分で示す、以前の信号処理に用いた2KByteの領域は、今回の読み出しが始まるC'の時点では使用しない記憶不要領域となる。

【0031】このように、再生時にEFM復調回路20からCIRC変調／復調回路70へのデータの入力用のRAM8の容量を、“Red Book”で最低必要とされる2KByteの2倍の4KByteの容量にして、CIRC変調／復調回路70からEFM変調回路25へのデータ入力用のRAMに共用することにより、記憶不要領域が生じ、RAM領域が無駄になるが、昨今の

RAMチップの大容量化傾向の下ではむしろ低容量RAMの方が入手し難いこと、2KByteと4KByteとでは価格的にコスト的に大きく変わらないことから、むしろ、RAM8に対してアクセスする際のアドレス発生回路95を単純化できる4KByteのRAM8を用いることが有利である。

【0032】すなわち、図33(b)に示すように、2KByteのRAMを使用する場合には、不使用領域は発生しないが、同図(a)に示す4KByteのRAM8にくらべて、図中Bで示すエリアの上位及び回アドレスの発生が面倒であり、記録時（追記時）についても別途アドレスを作成しなければならないので、アドレス発生回路95が複雑化する。

【0033】CIRC誤り訂正符号を付加して再度RAM8に書き込まれたデータは、EFM変調回路25に読み出される。RAM8から読み出された8ビットデータは、基準クロック回路90に基づいてアドレス発生回路95から出力されたアドレスでアドレス指定されたものであり、データバス10を経てEFM変調回路25に入力される。

【0034】EFM変調回路25は、RAM8から読み出された8ビットのデータの直流成分を少なくするために14ビットのEFMデータに変調するとともに、さらに、マージンビットを付加して17ビットのデータ（EFM信号）にしてRF回路4へ送出する。

【0035】RF回路4はEFM信号をピックアップ3に送り、ピックアップ3は光ディスク2にレーザを照射してEFM信号に対応する山又は谷を形成する。

【0036】ATIP復調回路30は、ATIPデコシュレータ5にて光ディスク2に作製されているプリグルーブから読み出されたATIP信号を復調する。

【0037】CLV制御回路40は、ATIPデコシュレータ5からのATIP信号に基づいて光ディスク2の回転制御用信号をサーボ回路7に出力するが、このATIP信号とともにEFM復調回路202からのEFM信号、EFM信号に基づいてサブコード生成／演算回路50で生成されたQサブコードに基づいて光ディスクの回転制御用信号を生成するようにして、ピックアップ位置確定の精度を高めるようにしている。また、この装置のCLV制御回路40は、モータ6からのFG出力も入力され、この出力に基づいて更に回転制御用の信号を出力する。

【0038】サブコード生成／演算回路50は、EFM信号よりサブコードを抽出し、サブコードにCRC演算を施し、また、光ディスクへ書き込むデータにCRC演算を施しサブコードを生成する。このサブコード生成／演算回路50は、EFM復調回路20からのEFM信号が入力され、この中からCRC信号を抽出するレジスタ51、CRC演算回路52、読み出し用レジスタ53、書き込み用レジスタ54、自動加減算回路55、EFM変

調回路25へデータを送出するためのレジスタ56及び内部バス57を備える。

【0039】記録中にピックアップ3が本来追記すべき位置を外した場合、すなわち、ミストラッキングが発生した場合、ピックアップ3のレーザが既にデータを書き込んである箇所に照射され、オーバーライトしてデータを破壊するおそれがある。

【0040】それ故に、ピックアップ3が本来追記すべき位置を外した場合にかかるデータの破壊を防止するためには、出来るだけ短時間内に記録動作を中止させる必要がある。そこで、例えばATIP信号によってピックアップ3が本来追記すべき位置を外したことが検出された場合、EFM信号の出力を中止させる例えば図34に示すような記録中止手段を設ける。

【0041】この記録中止手段100は、システムコントローラ（以下、シスコンという。）あるいは直接ATIP復調回路30からパルス又はステート信号（EFMZERO）を半導体集積回路1に与え、内部レジスタ101のステートを例えばHighに切り替え、この内部レジスタ101の出力をインバータ102を介してアンド回路103にゲート信号として入力する一方、EFM変調回路25の出力を該アンド回路103に入力してGNDに落とし、半導体集積回路1からRF回路へのEFM信号の出力を停止させるようにしている。

【0042】内部レジスタ101の出力は別途シスコンにフィードバックされ、この出力に基づいて必要な動作制御が実行される。

【0043】EFM信号の出力停止状態の解除は、別のシステムで決定され、該システムから与えられるクリア信号により上記内部レジスタ101のステートが"Low"に切り替えられると、アンド回路103が開かれ、EFMパルス信号が半導体集積回路1からRF回路4に出力できるようになる。

【0044】ここで注意すべきことは、ミストラッキング時には、EFM信号の出力を除く記録動作は中止されずに継続されており、EFM信号の出力だけが中止されることである。

【0045】システムコントローラ用インターフェース85は、システムコントローラ用プロセッサ（シスコン）のデータバスとのインターフェースを行う。以下、上記の各回路について更に詳しく説明する。

【0046】（1）EFM復調回路20

EFM復調回路20は、例えば図2のブロック図に示すEFM信号入力部と、例えば図3のブロック図に示すようなEFMデータ抽出部とを備える。

【0047】まず、EFM信号入力部について説明すると、光ディスク2から読み出された14ビットのEFM信号がSYNCパターン抽出回路22に入力される。そして、外部のPLL回路15と、ビットクロック再生回路21と、位相比較回路211でPLLが構成されてお

り、8MHzのVOC信号がビットクロック再生回路21で4MHzのビットクロック信号（PLCK）に変換して出力される。このPLCKをSYNC抽出回路22にタイミング信号として与え、この回路21からEFM信号のH11、L11、H2が抽出される。

【0048】このEFM信号入力部には保護内挿回路23が設けられ、この回路23からのクロック信号とSYNC抽出回路22からの信号とがオア回路24に入力され、このオア回路24からシンクロン同期信号（VSYNC）が出力される。

【0049】EFMデータ抽出部にはEFM変換テーブル回路212が設けられ、この回路212には17ビットのEFMデータが入力されるとともに、VSYNCが機銃ローカルコンピュータタイミング信号として、また、PLCKがタイミング信号としてそれぞれ与えられる。

【0050】このEFM変換テーブル回路212では、EFMデータがマージンビットを除去されて14ビットのデータに変換され、更に変換テーブルに従って14ビットのデータが8ビットのデータに復調される。そして、この8ビットのデータがデータバス10に送出され、基準クロック回路90に基づいてアドレス発生回路95から発生されるアドレスによって指定されたRAM8に書き込まれる。

【0051】（2）EFM変調回路25

次に、EFM変調回路25について詳細に説明するが、その前に、CDシステムにおいて採用されているデータ変換方式、すなわち、EFM変換方式について説明する。

【0052】CDシステムでは、光ディスク2上にデータを記録するのにEFM変換方式を用いることにより、オール"0"のデータであっても光ディスク2上にビットが無いといった状態になることを避けている。

【0053】すなわち、図7に示すように、16進の8ビットのデータを定められた14ビット長のパターンに変換し、これに3ビットのマージンビットの部分を加えて光ディスク上に記録される1バイトのデータが構成される。このEFMではパターンのH/Lステートは関係なく、その山又は谷の長さのみが意味を持つ。

【0054】更に、このEFM変換方式では、"3T、11Tルール"が存在する。このルールは、山又は谷の長さが単位長さ"1T"の3倍から11倍までで形成されねばならず、2T以下の短い山又は谷及び12T以上の長い山又は谷を形成することはマージンビットを含めて禁止している。このため、2つのデータに挟まれたマージンビットは、自ずとその取り得るパターンを制限されることになる。

【0055】マージンビットの取り得るパターンは図8に示す通りである。図8（A）は直前のデータパターンの末尾が"0"の時、図8（B）は直前のデータパター

ンの末尾が"1"の時である。

【0056】加えて、EFM変換においては、低周波成分の発生を極力抑えるためにDVS (Digital Sum Value) が導入されるので、これによる制限も課される。DVSとは、できるだけ限り短い間隔で山の長さのバランスをとろうというもので、各パターンビット毎に随時計算され、マージンびつとを調節することに依ってその値をできる限り"0"に近づけようとするものである。

【0057】通常のCDシステムでは、ディスク作製前に予めマージンビットまで含めた全データをユーザが用意し、そのデータをレーザパルス化して書き込む作業を行う。しかしながら、CD-WO等の追記型光ディスクのシステムではユーザの用意するものはデータだけであって、マージンビット等はシステム側で容易する必要がある。しかも、リアルタイムに書き込みを行う時に、各パターンビット毎に、DSVを計算する必要があるため、この作業はできうる限り高速で行わなければならない。

【0058】このため、マージンビットを作製するためのデータを全てROM化して半導体集積回路1内に保持し、かつ、組合せ回路を最適化して高速に処理する回路を組む必要がある。かかる要求を満足するためには、EFM変調回路25が例えば次のように構成される。

【0059】すなわち、EFM変調回路25は、例えば図4に示すEFM変換部と、例えば図5に示すEFM出力部とを備える。

【0060】EFM変換部ではROM8から読み出された8ビットのデータはデータバス10からEFM変調回路25に送出される。図4のブロック図に示すように、セクタ261はRAM8からのデータ又はサブコードデータ生成並びに演算回路50からの8ビットのサブコードデータを選択し、EFM変換回路262に出力する。EFM変換回路262は変換テーブルに従って8ビットのデータを14ビットのEFM信号に変換し、セクタ263に出力する。セクタ263には、S0、S1付加用の14ビットのデータが荷を力され、セクタ263はシスコンからの制御信号に基づいてEFM信号又はS0、S1信号の何れかをマージンビット付加回路264に送出する。このマージンビット付加回路264は14ビットのデータにマージンビットを付加し、17ビットの信号を出力する。また、このマージンビット付加回路264は各データに対応したJ、K、V値を格納したROMまたはロジックアレイで構成されている。更に、この回路264はJ、K値に基づき使用可能なパターンを示すROM又はロジックアレイを構成する。この回路264にはDSVを計算する回路、V値とDSVに基づきパターンの優先順位を示し、更に唯一の出力すべきパターンを選択する回路を備える。

【0061】上記EFM変換回路262及びマージンビ

ット付加回路264としては、例えば図6に示すように構成されたものが提案されている。

【0062】すなわち、8ビットのデータを入力するROM270には、各データに対応したJ、K、V値と、16進の8ビットのデータに対応したEFM信号に変換するための変換テーブルが格納されている。

【0063】ここでROM270に格納されているJ値は、データ末尾の同じ値の続く長さより1をひいたものを、K値はデータ先頭の同じ値の続く長さを、V値はデータ単位でのDSVを示す値である。

【0064】但し、図9に示すように、VはデータのDSVをそのまま示すものではなく、DSVが、-8、から-6、-2、0、2、4、6、8の9ケの値しか取らないことを利用して、ROM270に格納し易いように割り振った番号である。

【0065】先に述べたように、マージンビットの作成には(i)3T、11Tルールと、(ii)低周波成分抑制のためのDSVの最小値(0に近づく)の2つのルールが適用されるので、これらのルールを満足するように回路が構成される。

【0066】例えば、ROM270から出力されたJ値は、ディレイ271にて遅延される。そして遅延された1つ前のデータのJ値及びROM270から出力されたK値が可能パターン選択回路273へ与えられる。この可能パターン選択回路273は、上記のルール(i)に依って選択可能なパターンを制限し、このデータを決定回路275に供給する。

【0067】ROM270から出力されたV値は、優先度計算回路274及びDSV計算回路274に供給される。優先度計算回路274は、上記ルール(ii)に従い、DSV最小条件によって優先順位付けし、このデータを決定回路275に供給する。

【0068】決定回路275は、その時での最善のマージンビットパターンと、優先順位付けされたデータにより、唯一のマージンビットパターンを選択し、セクタ276へ出力する。このセクタ276にはROM270からのEFMパターンが供給され、セクタ276はこのEFMパターンの後にマージンビットパターンを付加してEFM出力を行う。

【0069】又、DSV計算のため、DSV計算回路272へ各パターンがフィードバックされる。

【0070】このようにマージンビットを付加する回路を含めたEFM変換回路25を構成することにより、マージンビットの付加に際して、予めルールに基づいて全ての場合に付いて計算しておき、その結果をROM270でチップ内に持つことで、演算が高速に行える。このことにより、追記型光ディスクの書き込みを高速で行うことができる。なお、ROM270に代えてロジックアレイ等の回路を用いてもよい。

【0071】図4に示すように、マージンビット付加回

路264にてマージンビットを付加されたデータがSYNC付加回路264に出力されるこの例においては、SYNC付加回路264に付加されたデータがSYNC信号の場合だけ更に7ビットのデータを付加して23ビットの信号にしてSYNC付加回路264から出力し、その他のデータは17ビットのままSYNC付加回路264から出力される。

【0072】図5に示すように、EFM出力部は、セクタ2512と、SYNC付加回路264から送出された17ビットまたは23ビット（SYNCのみ）のEFMデータを入力するパルスストラテジ回路252と、（ $n-1$ ）ストラテジ回路254とを備える。

【0073】パルスストラテジ回路252では、ブルックに準拠してA、B、C化を施してセクタ251に出力し、（ $n-1$ ）ストラテジ回路254では、 $n-1$ の処理を行いその結果をセクタ251に出力する。

【0074】セクタ251には、更に規格のテストを行うためのテストパターン回路253の出力と、一度書いたデータに2度書きしてデータを破壊するための同期パルス発生回路255の出力が入力される。そして、このセクタ251はシスコンからの制御信号に基づき上述の各信号の中から1つの信号を選択して出力する。この選択されたデータがRF回路4に出力され、ピックアップ3から光ディスクにデータが書き込まれる。

【0075】（3）ATIP復調回路30

ATIP復調回路30は、例えば図10に示すATIP入力部と図11に示すATIP信号処理部とを備える。

【0076】CD-WO等の追記型ディスクには、EFMビットが形成される以前に、その位置情報を取り出せるように、ATIPブリググループが形成れる。このATIPブリググループは例えば図12に示すように、42ビット分のデータがバイフェーズ形式で格納されている。バイフェーズ形式とは、ある単位時間長さにおいてデータのハイ（High）、ロー（Low）の切り替わりのあるものを“1”、無いものを“0”で表現するデジタル式表記である。

【0077】ATIPのデータ構成は図13に示す通り、4ビット分の同期パターンと、それぞれ8ビット分の分（BCD）、秒（BCD）、フレーム（BCD）の時間情報と、時間情報データに対する14ビットのCRCデータとの計42ビットから成る。

【0078】このうち同期パターンは、バイフェーズ形式を破ることでこれを表し、各データの区切りとなる。同期パターンとしては、図14に示す通り2種類存在する。これは直前の信号がHighかLowかによるものであり、例えば、直前の信号がLowの場合には図15に示すようになる。

【0079】ところで、ICには、このバイフェーズ形式のデジタル信号が入力される。そして、このATIP

復調回路30は、この1つの入力よりデータ抽出用のクロックと同期パターンの検出、及びデータの検出を行うものである。データ抽出用クロックは、データの取込タイミング及びCLVサーボ制御に用いられる。

【0080】このATIP復調回路30のATIP入力部は、まず、ATIPデコシュレータ5にて光ディスク2に作成されているブリググループから読み出されたATIP信号を入力するC3150、C6300抽出回路31を備える。

【0081】この回路31により基本タイミングとしてC3150がオア回路33に入力され、このオア回路33からC3150が図11に示すSYNCパターン抽出回路34に取り込みタイミング信号として出力される。

【0082】SYNCパターン抽出回路34にはATIPデータが入力され、この回路34からビットクロックがオア回路36へ出力される。オア回路には保護内挿回路35からの出力が入力され、このオア回路36からタイミング信号（ASYN）が出力される。

【0083】又、ATIPデータは、基本タイミングとしてASYNが与えられるATIPデータ抽出回路37へ入力され、8ビットのデータとしてレジスタ38及びCRC演算回路39へ出力される。

【0084】レジスタ38からはCPUへ8ビットのデータが、又、CRC演算回路39からは同じくCPUへ誤りを検出して結果が送出される。

【0085】このATIP復調回路30の動作を図12ないし図24を参照して更に説明すると、以下の通りである。

【0086】上記同期パターンは、75HzのATIP系フレーム同期タイミングとして、各データは、ATIP時間情報としてCPU（シスコン）に送られる。また、ATIP時間情報とCRCデータよりCRC演算を行い、その結果もCPU（シスコン）に送られる。

【0087】まず、C3150、C6300抽出回路31で、例えば図16に示すようにATIP入力からC3150とC6300の2種類のクロックを抽出する動作について説明する。

【0088】欲しい信号C3150は、各データの区切りであり、C6300はこのC3150を抽出する過程で求める。すなわち、入力されたATIPの波形からエッジを抽出し、それより幾らかの信号を除去し、又、幾らかの信号を追加することで欲しい信号C3150を得る。

【0089】ATIP入力信号のエッジの抽出には例えば図17のブロック図に示す回路を用いる。ここでは、基本クロック（例えば4MHzのシステムクロック）を用いたDフリップフロップ（DFF）311と、排他的論理和回路312を用いている。

【0090】図17及び図18に示すように、DFF311に入力信号Aが基準クロックCKのタイミングによ

り取り込まれ、このDFF311から入力信号Aが遅延された信号Bが出力される。

【0091】外部より入力されたATIP入力のエッジ抽出信号(DET)が基本的にC3150になる。この内、取り除きたいDETを排除するためウィンドウA、Bを設ける。又、追加したいINSを作るために内挿を行う。更に、DET信号は、モータ6によって回転する光ディスク2より取り出した信号であり、モータ6の回転速度に従ってその間隔には長短が生じ、また、回転ムラ等により揺れる。このため、図19に示すように、基準カウンタ319、基準レジスタ321、ウィンドウA用カウンタ318、及びウィンドウA用レジスタ320が設けられる。

【0092】DETのうち、基準カウンタ319からのウィンドウB内に入るものをDETBとし、ウィンドウAカウンタ318からのウィンドウA内に入るものをDETAとする。これらはそのままC3150信号となる。

【0093】C3150信号とは、3.15KHzの周期パルスの中で、ATIPの各データの長さを示す。又、C3600信号は6.3KHzの周期パルスである。正しく光ディスク2が回転しておれば、各DET間隔は1327クロック分となる。3.15KHz間に4.321MHzがそれだけクロック数を数える。

【0094】追加するINS信号は、同期パターン内等でDETの無い時、又、ディスク回転が正常でなくあるいはディスク表面の傷によりデータが欠落して、DETの見つからない時に行われる。

【0095】INS信号は、前回と同じ間隔で新しいC3150を発生する。このため、基準レジスタ321、ウィンドウAレジスタ320に前回の値を記憶させてある。この前回の値と基準カウンタ319より出る今回の値を比較記323で比較し、一致したこと以てINSを出す。

【0096】DETBが発生すれば、INSが発生する前に各カウンタ318、319はクリアされるので、今回のINSは無い。DETAの時はこれはINSが発生した後に発生するため、INSを消してDETAを生かす。このため16ビット幅を持つ。ディレイ値を大きくできないためである。

【0097】しかし、図20に示すように、ウィンドウAレジスタ320の取込みタイミングは、254までのレンジを持ち、この間に発生したDETはDETAとはならないが、次の比較に使われる。このようにしてC3150とC6300とを発生する。チェンジ(CHANGE)とウィンドウ(WINDOW)については後述する。

【0098】上述した手法で得られたC6300、C3150を用いてATIP入力データのバイフェーズ形式を図21、図22に示すように通常形式に戻す。

【0099】図22に示すように、ATIP入力をシフトレジスタ351に入力して、このシフトレジスタ351をC6300でクロッキングした出力Q1と、更に次のC6300でクロッキングした出力Q2を排他的論理和回路352で排他的論理和をとり、ATSD信号をつくる。この排他的論理和回路352からの出力ATSDは、C3150タイミングでシリアル・パラレルレジスタ353に取り込む。この取り込んだ値は、通常の値となっている。SYNCパターンについては別途にパターンマッチングを行う。

【0100】前述した手法では、C3150の取り方に図23に示すように、2種あり得る。ある時点でC3150を認知した後は、次にあるべき時点で外部よりC3150(ATIP信号のエッジ)が無ければ、内挿し、必要の無い時点のC3150(ATIP信号のエッジ)は無視する方法を取っているため、一旦、C3150としてA系又はB系のどちらかを選んだ後は、それではずれ得なくなる。

【0101】この時のATSDの取込タイミングは図24に示す如くa(Δ)、b(*)の2種類ある。

【0102】この時、正しい系列はA系a(Δ)である。B系であった時に、これを正しくA系に戻すため、取込データを利用する。図24に示す如く取込データ(b)の値は全て"1"となることにより、この"1"の回数をカウントし、明らかに多い場合は、これをB系と見做して、もう一度、C3150系列をとり直す。ATIP内データの内、ATIMEはBCD表示で分、秒フレームを示しているが、その最大値は99分59秒75フレームで、"10011001 01011001 01110101"(2進表示)であり、秒及びフレームはそのバイト中MSBは常に"0"であるためこの処理が可能となる。

【0103】この時、取込データ数がある数以上"1"が続いたことを以てチェンジ(CHANGE)状態とし、図19、図20に示すように、この時、ウィンドウ(WINDOW)-C内で見つかるC3150(ATIP入力エッジ)を以て新しいC3150系列を始める。

【0104】(4)CLV制御回路40

CLV制御回路40は、図25に示すように、EFM復調回路20からのEFMフレームタイミング及びATIPタイミング信号がパラレル・シリアル(P/S)変換回路41を介してカウンタ42に入力される。EFMフレームタイミング及びATIPタイミング信号はセクタ48にも入力される。

【0105】上記カウンタ42にて速度差分制御された信号はセクタ43に出力される。モータ6からのFG出力はFGカウンタ46に与えられ、このカウンタ46の出力がセクタ43に与えられる。そして基準数設定回路47にEFM基準値固定出力、ATIP基準値出力、FG基準値出力がそれぞれ与えられており、この回路

47の出力が減算器44に与えられる。又、この減算器44にはセクタ43の出力も与えられる。

【0106】この減算器44からレジスタ45を介して光ディスクの回転制御用信号(MDS)を図1に示すサーボ回路7に出力する。また、セクタ48からアップダウンカウンタ49に位相差分制御用の信号が出力され、このカウンタ49から位相制御信号(MDP)が出力される。

【0107】この回路40では1EFMフレーム毎にこの措置を行っており、あるEFMフレームの間はMDS信号がL又はHとされる。

【0108】図26にMDS出力(スピンドルモータ制御信号)を促す、EFMパターンサーボに関する部粉を図示する。以下、この図に従い更に説明する。

【0109】前述したように、EFM変換方法では、そのEFMパターンの山又は谷の長さが単位長さの3倍ないし11倍でなければならないと言う、“3T-11Tルール”がある。

【0110】光ディスク2のEFMビットより正常にデータが読み出せている場合は、ディスクは正しく作成されているはずであるから、3T-11Tルールに従ってその最短長は3T、最長の長さは11Tである。ここでもし、2T以下の山又は谷、もしくは12T以上の山又は谷が遇った場合、それは、ディスク上のキズ等による情報の欠損で無いとすると、それぞディスクの回転が速い場合、遅い場合に生じることになる。

【0111】この関係を用いて、大まかにディスクの回転を調整するための手法として、図27に示すように、Dフリップフロップ451に入力されたEFMパターンの山又は谷を排他的論理和回路452で検出し、その長さを基準クロック(X'tal)の4MHzクロックを用いてカウンタ453でカウントし、12T以上、2さ以下が発見された場合、レジスタ454に出力し、以下の如くスピンドルモータの回転を調整する。

【0112】

【表1】

	12T以上	2T以下	現象	モータ回転
A	あり	あり	情報欠損とみなす	何もせず
B	あり	なし	回転遅い	加速(MDS" H")
C	なし	あり	回転速い	減速(MDS" L")
D	なし	なし	正常	何もせず

【0113】このCLV回路30によれば、読み出し時はディスク上のEFMビットに応じてサーボをかける回路が同一回路で行われる。

【0114】(5)サブコード生成並びに演算回路50サブコード生成並びに演算回路50は、図27に示すように、EFM復調回路からのEFM信号が入力されCRC信号を抽出するレジスタ51に入力され、このレジスタ51からオア回路63に抽出信号が出力される。オア回路63には保護内挿回路62からの出力が与えられ、このオア回路63からVSSYNC信号がレジスタ64の取込みタイミング信号として与えられる。レジスタ64にはEFMデータが入力され、このレジスタ64からQ出力がシリアル-パラレル(S/P)変換回路65に与えられる。この回路65はCRC演算回路52及び読み出し用レジスタ53にそれぞれ8ビットのデータを送出する。CRC演算回路52はCRC結果をCPUへ出力する。又、レジスタ53からも読み出しデータをCPUへ出力する。

【0115】書き込みレジスタ54へはCPUよりQサブデータが与えられ、このレジスタ54から自動加減算回路55とレジスタ60、61にデータが送出される。

自動加減算回路55とレジスタ60において、Qサブコードの時間情報の自動加減算を行い、その値をセクタ59に与える。セクタ59にはレジスタ61のデータも与えられ、このセクタ59により前記信号が選択されて、CRC演算回路52及びセクタ58へ出力される。CRC演算回路52では入力された書き込み用データにCRC演算を施し、セクタ58にそのデータを送出する。そして、セクタ58によりパラレル-シリアル(P/S)変換回路7へデータが送られ、シリアル変換されたQデータがレジスタ56に送られ、このレジスタ56からサブコードデータが出力される。

【0116】(6)CIRC変調/復調回路70CIRC変調/復調回路70は、図27に示すように、RAM8よりデータバス10を介して読み出され、EFM復調された信号からCIRC信号の誤りを検出して訂正し、そのデータを再度RAM8に書き込む。更にCIRC変調/復調回路70は、RAM8よりデータバス10を介して読み出された光ディスク2に書き込むデータにCIRC誤り訂正符号を付加し、そのデータを再度RAM8に書き込む。

【0117】(7)インターフェース回路80

インターフェース回路80は、図29に示すように、RAM8よりのデータはレジスタ81及び補間回路82に与えられ、レジスタ81は16ビットのデータを補間回路82へ与える。補間回路82は前値をホールドし、平均値補間し、補間済みデータをセクタ83に与える。セクタ83にはレジスタ81からの出力が与えられ、このセクタ83からCD-DA用データが出力される。又、レジスタ81からはCD-ROM用データが出力される。

【0118】さらに、CD-ROM、CD-DAのデータはそれぞれアンド回路86、87に供給され、これらのアンド回路86、87にはブレエコードデータがノット回路88を介して供給される。これらのアンド回路86、87からそれぞれセクタ85へデータを送り、このセクタ85からレジスタ84を介してそのデータをRAM8に書き込む。

【0119】

【発明の効果】以上のように、本発明によれば、追記型あるいは書き替え型コンパクトディスクの記録の再生ができるとともに、使用者の操作に基づいて使用者の目前で、当該機器のみで短時間にデータの追記あるいは書き替えができる。

【0120】また、本発明において、CIRC処理用RAMの容量を"Red Book"に示される最低必要量によりもおおきくすることにより、再生と記録とに該RAMを共用でき、また、該RAMにアクセスするアドレス発生回路を単純化して、半導体集積回路の設計を容易にできる。

【0121】更に、本発明において、記録時にRAMから入力したデータにCIRC誤り訂正符号を付加してから該RAMに書き込むCIRC変調回路に、記録前にデータとして"0"を与える手段を設けることにより、他に回路を追加することなく、記録前に該RAMをクリアして、記録データを書き始めから正しく書き込むことができる。

【0122】また更に、本発明において、記録動作に入る前に光ディスクの回転状態やピックアップ位置をATIPデータに加えてQサブコードに基づいて検出する手段を備える場合には、ATIPデータとQサブコードとに基づいてピックアップの位置確定ができるので、ATIPデータのみに基づいてピックアップの位置確定をする場合に比べて、ピックアップの位置確定精度を高めることができる。

【0123】加えて、本発明において、記録時のミストラッキング時に、RAMからCIRC処理済のデータを読みだしてEFM変調して出力するEFM変調回路の出力を停止させる手段を設ける場合には、EFM信号の出力を除く記録動作を継続させたまま、EFM信号の出力を中止させてレーザが光ディスクに照射されることが防止され、記録済みのデータが書き直されたり、破壊され

たりすることを防止できる。

【図面の簡単な説明】

【図1】本発明の全体構成を示すブロック図である。

【図2】本発明のEFM復調回路の信号入力部のブロック図である。

【図3】本発明のEFM復調回路のデータ抽出部のブロック図である。

【図4】本発明のEFM変調回路の信号入力部のブロック図である。

【図5】本発明のEFM変調回路の信号変換部のブロック図である。

【図6】本発明のEFM変調回路のEFM変換回路とマージンビット付加回路のブロック図である。

【図7】EFM変調方式のデータ構成を示す模式図である。

【図8】EFM変調方式におけるマージンビットのデータ構成を示す模式図である。

【図9】EFM変調方式のデータ構成を示す模式図である。

【図10】本発明のATIP復調回路のATIP入力部のブロック図である。

【図11】本発明のATIP復調回路のATIP信号処理部のブロック図である。

【図12】ATIPプリグループ信号のデータ構成を示す模式図である。

【図13】ATIP信号のデータ構成を示す模式図である。

【図14】同期パターンの構成を示す模式図である。

【図15】同期パターンを含むATIP信号のデータ波形を示す模式図である。

【図16】ATIP信号とデータ抽出信号との関係を示す波形図である。

【図17】ATIP信号のエッジ検出回路の回路図である。

【図18】ATIP信号のエッジ検出回路の各出力信号の波形図である。

【図19】ATIP信号のデータ処理回路のブロック図である。

【図20】ATIP信号のデータ処理における各出力信号の波形図である。

【図21】ATIP信号のデータ処理における各出力信号の波形図である。

【図22】本発明のATIP復調回路のATIP信号処理部のブロック図である。

【図23】ATIP信号のデータ処理における各出力信号の波形図である。

【図24】ATIP信号のデータ処理における各出力信号の波形図である。

【図25】本発明のCLV制御回路のブロック図である。

【図26】本発明のCLV制御回路のEFMパターン制御部のブロック図である。

【図27】本発明のサブコード生成/演算回路のブロック図である。

【図28】本発明のCIRC変調/復調回路のブロック図である。

【図29】本発明のインターフェース回路のブロック図である。

【図30】本発明のRAMの再生時のアドレスマップである。

【図31】本発明のRAMのデータマップである。

【図32】本発明のRAMの記録時のアドレスマップである。

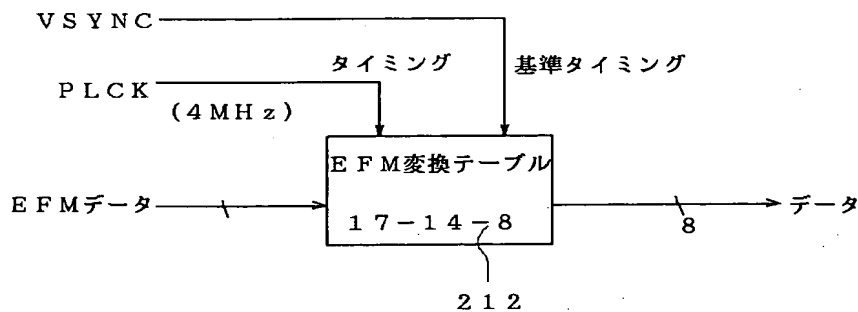
【図33】4KByteのRAMと2KByteのRAMのアドレスマップの比較図である。

【図34】本発明の記録中止手段のブロック図である。

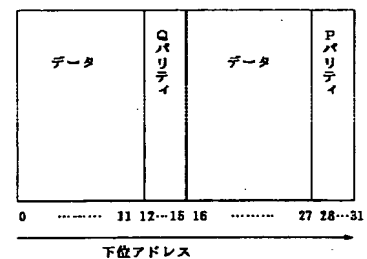
【符号の説明】

- 2 光ディスク
- 20 EFM復調回路
- 70 CIRC変調/復調回路
- 80 オーディオインターフェース
- 25 EFM変調回路
- 1 半導体集積回路
- 8 RAM
- 100 記録中止手段

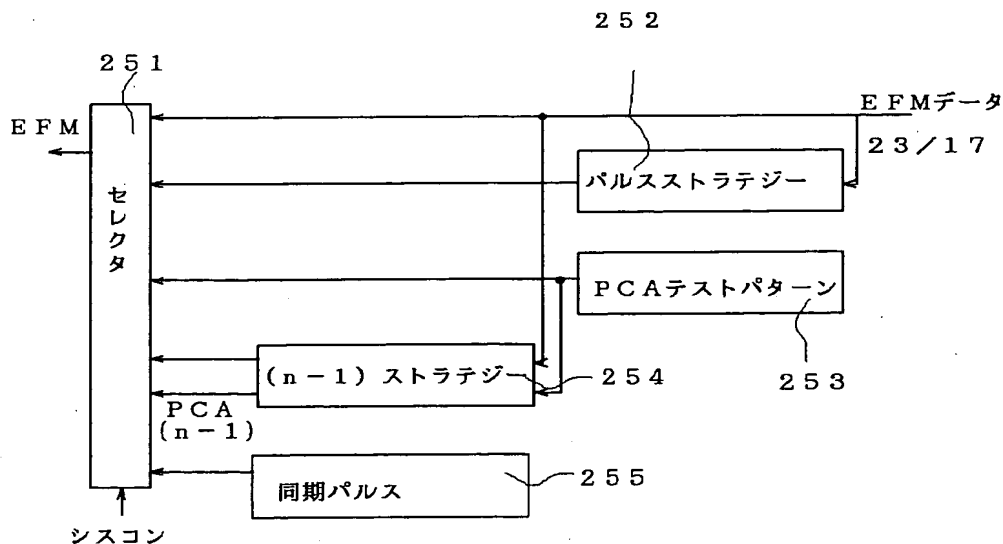
【図3】



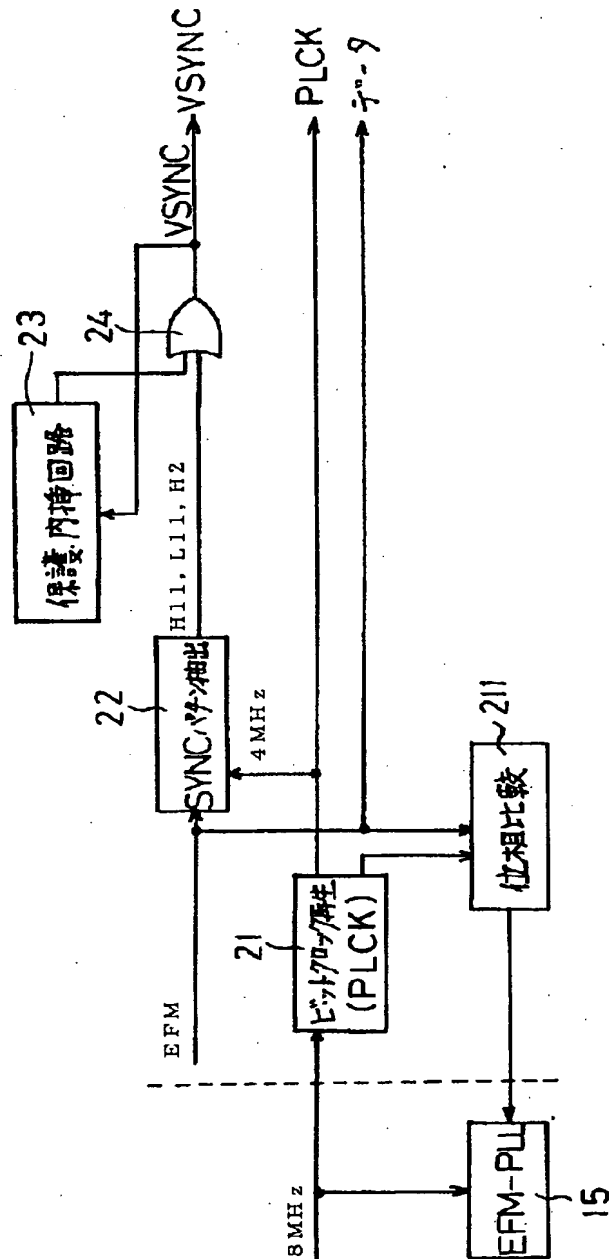
【図32】



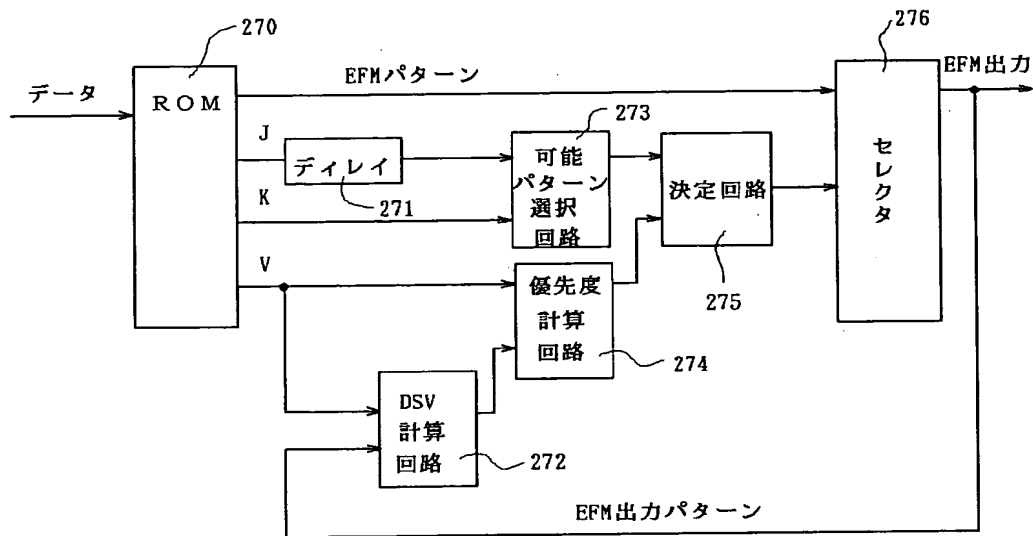
【図5】



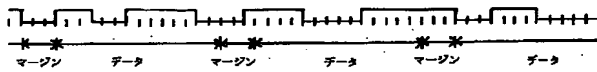
【図2】



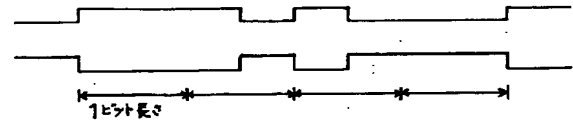
【図6】



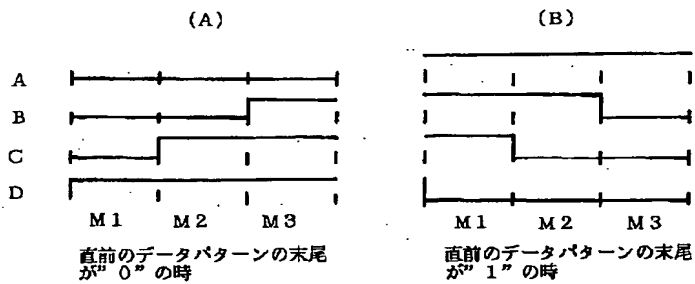
【図7】



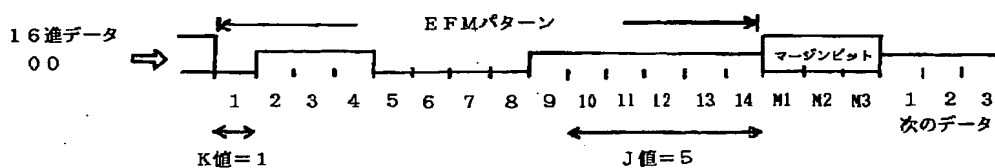
【図14】



【図8】

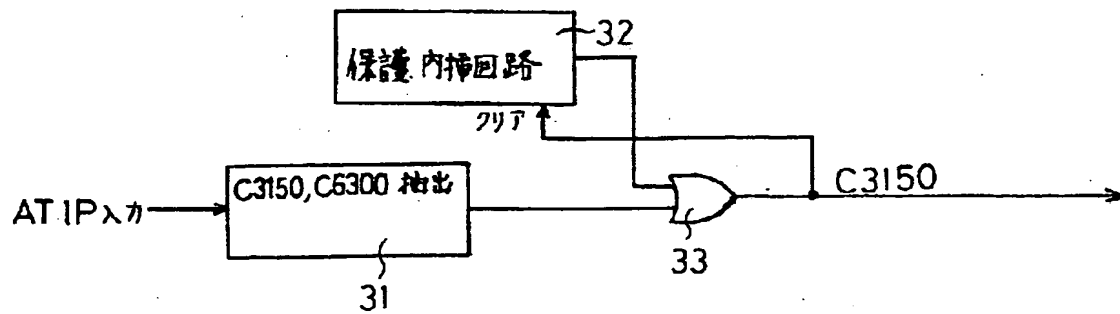


【図9】

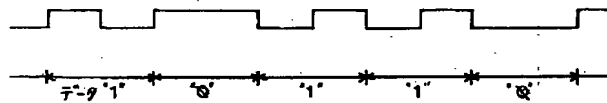


[DSV=4...山の長さより谷の長さを引いたもの
V=7...DSV値をROMに格納し悪い形にしたもの]

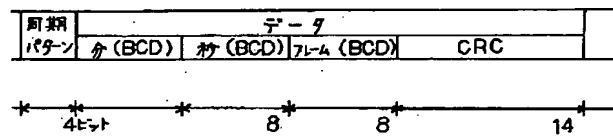
【図10】



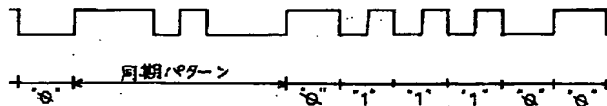
【図12】



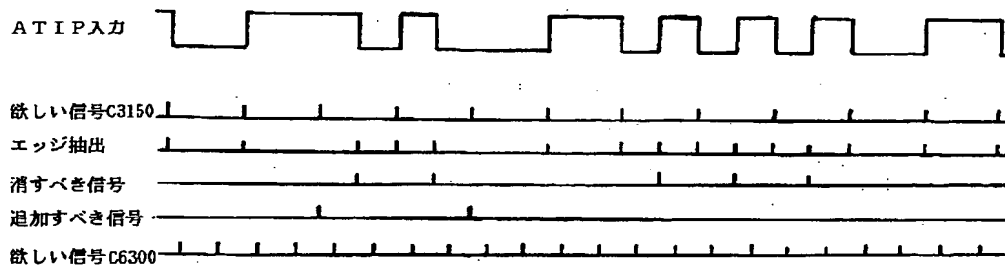
【図13】



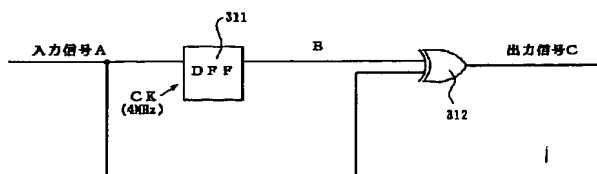
【図15】



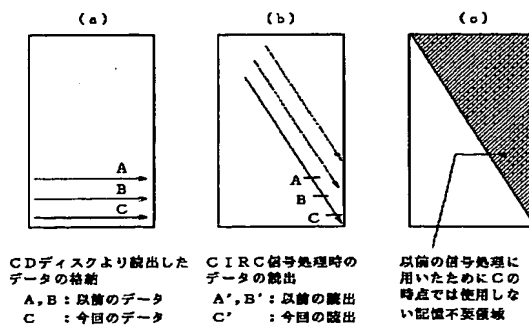
【図16】



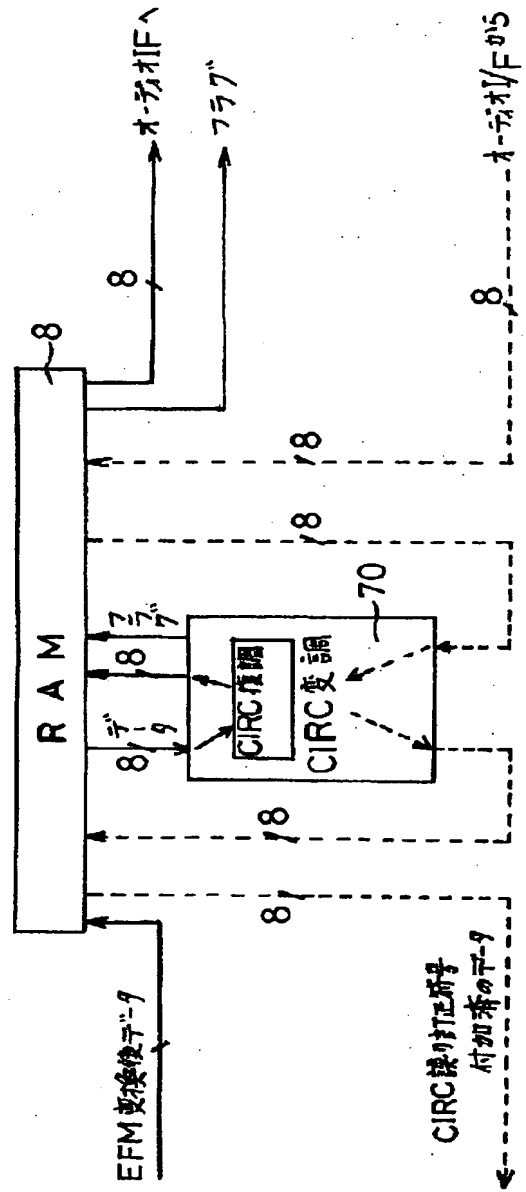
【図17】



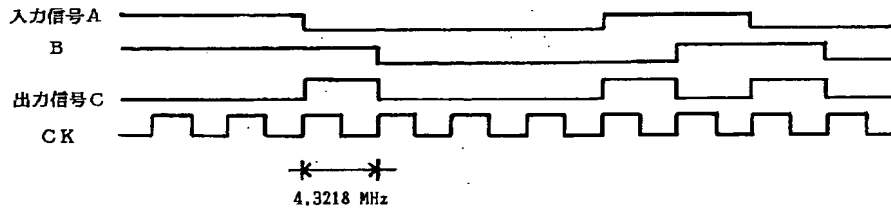
【図30】



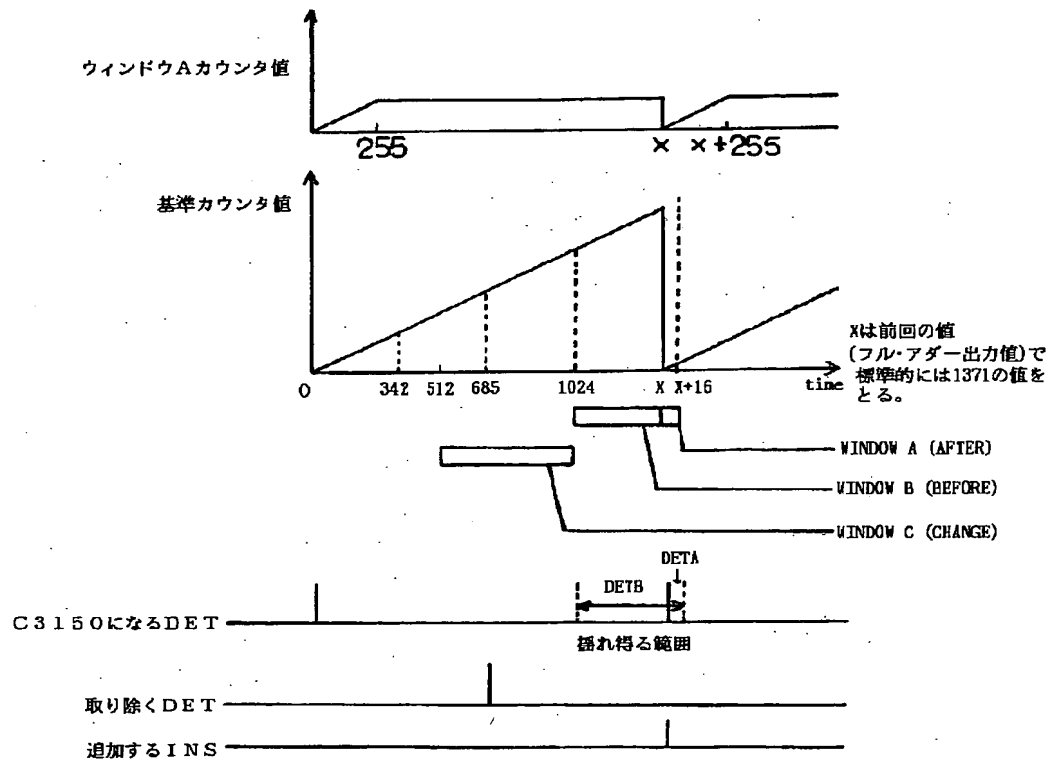
【图 28】



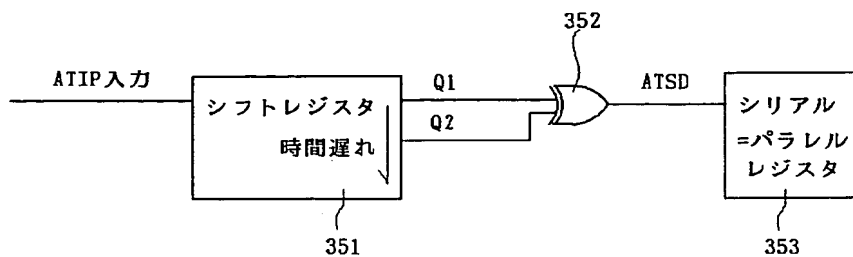
【図18】



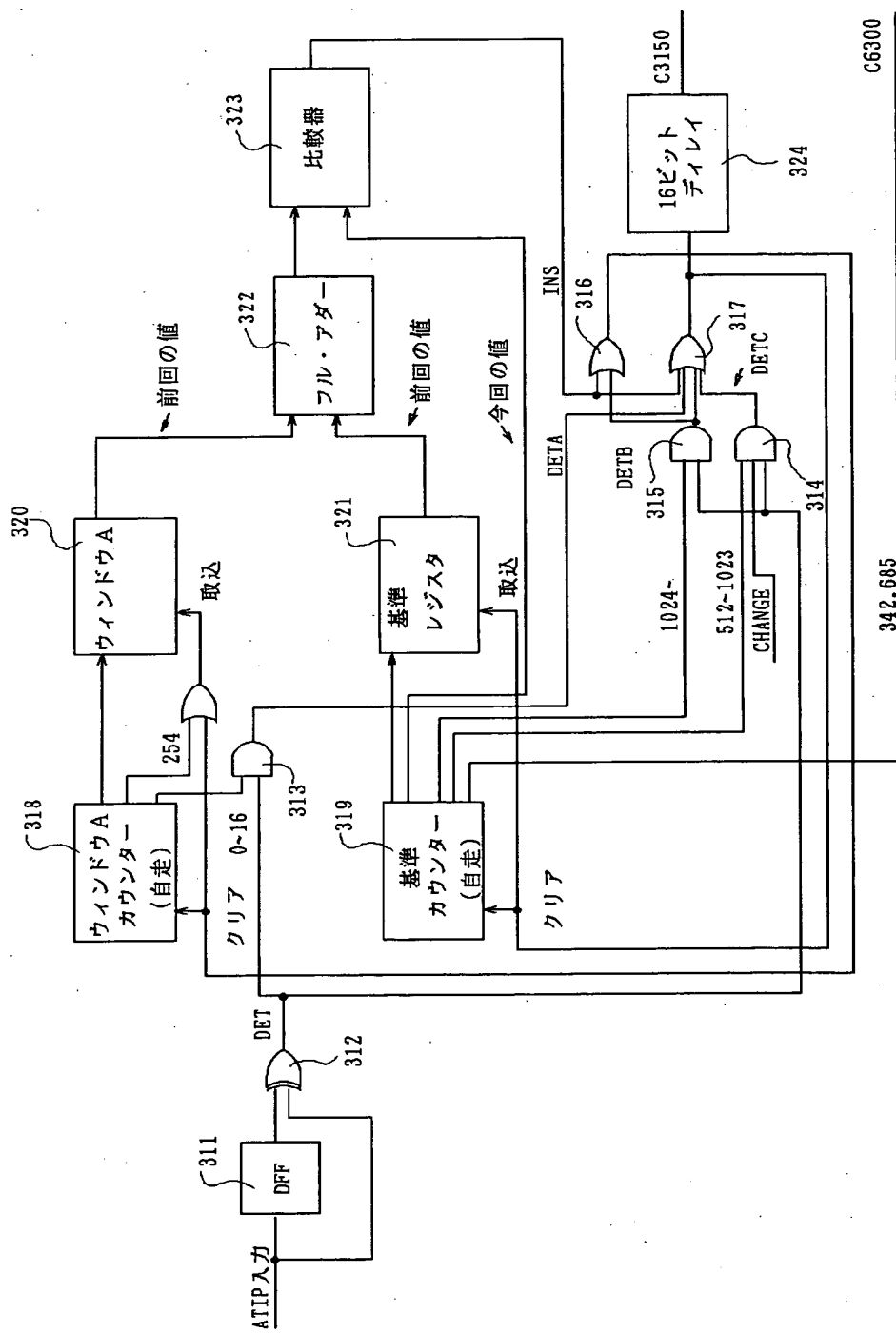
【図20】



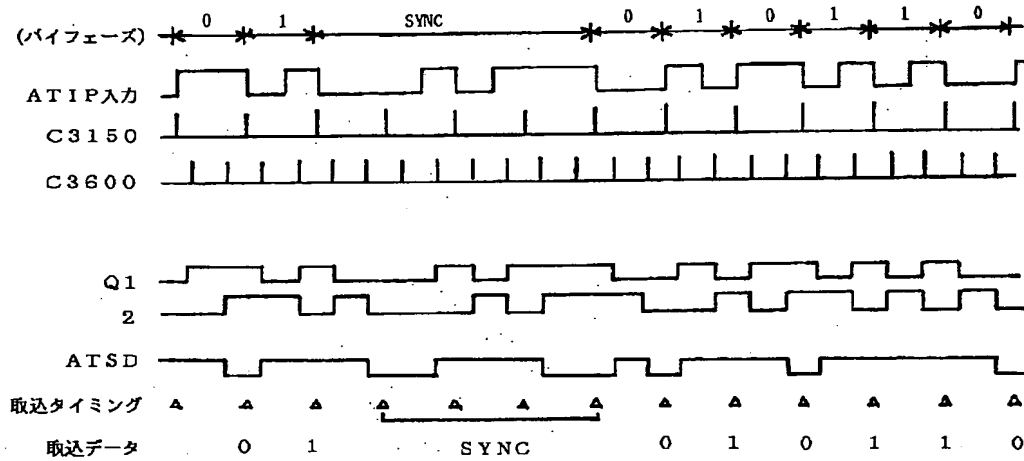
【図22】



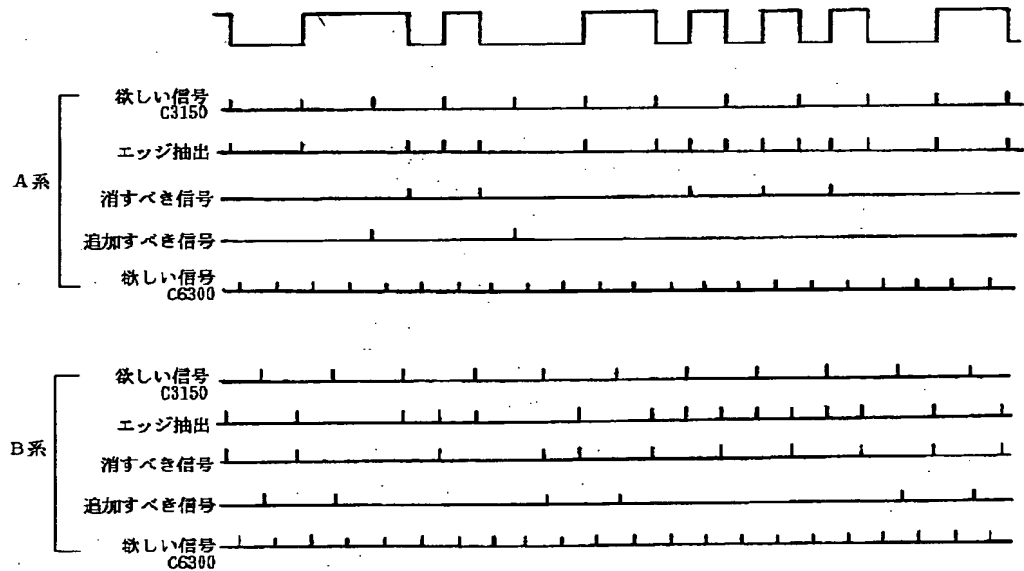
【图 19】



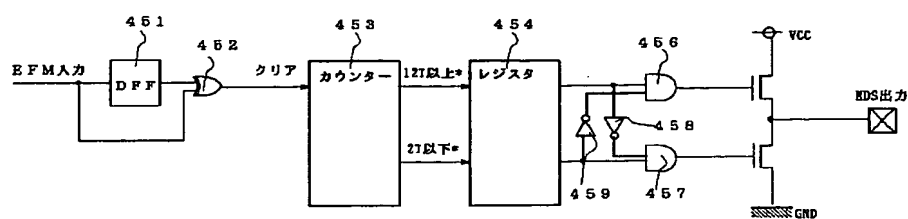
【図21】



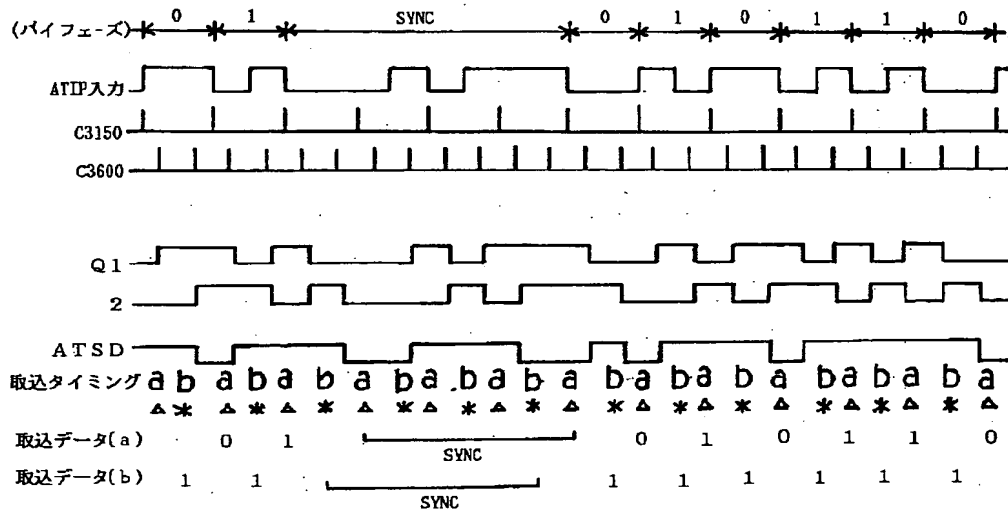
【図23】



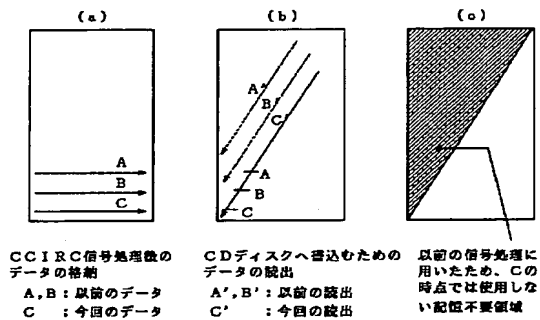
【図26】



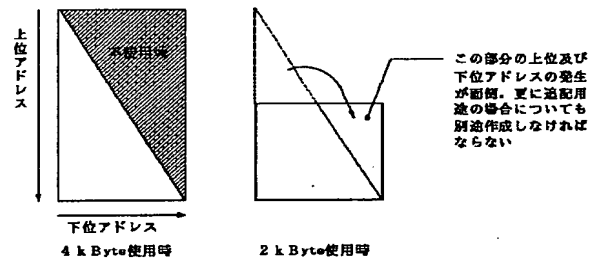
【図24】



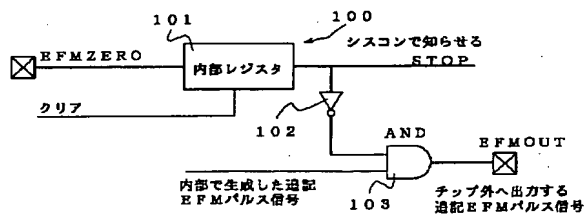
【図31】



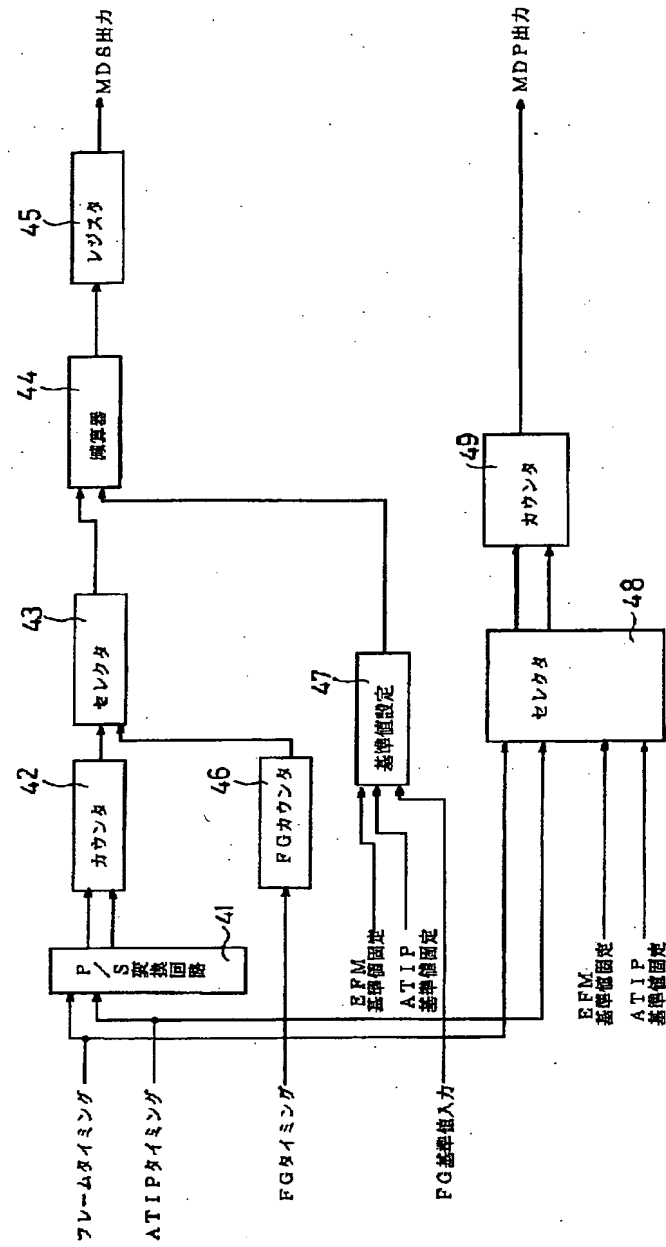
【図33】



【図34】



【図25】



【図27】

